

## 中華民國專利公報 [19] [12]

[11]公告編號：518488

[44]中華民國 92年 (2003) 01月21日  
發明

全 6 頁

[51] Int.Cl<sup>07</sup>： G06F17/50

[54]名稱：積體電路之佈局及設計方法

[21]申請案號：090116396 [22]申請日期：中華民國 90年 (2001) 07月02日

[30]優先權：[31]09/608,542 [32]2000/06/30 [33]美國

[72]發明人：

葛德 法蘭寇斯凱 德國

[71]申請人：

北美億恒科技公司 美國

[74]代理人：陳長文先生

1

2

[57]申請專利範圍：

1. 一種具有寄生元件之積體電路之設計及佈局之方法，該方法包括下列步驟：

初步設計該積體電路各部份；

藉由電腦模擬評估該設計；

一旦該初步設計與模擬步驟完成，即進行擷取寄生元件資訊，並將該擷取資訊儲存於一該積體電路所有部份共用的資料庫中；

持續逆向註釋儲存於該資料庫中的資訊，以利該設計、模擬及後續步驟；

成功模擬區塊設計前後，使用該積體電路各部份的寄生擷取資訊製作佈局；以及

使用該寄生擷取資訊製作及模擬該一積體電路的全晶片佈局。

2. 一種超大型積體電路(VLSI)之設計及佈局之方法，該超大型積體電路具有複數個區塊並具有多個寄生元件，該方法包括下列步驟：

採用分頭並行的方式初步設計每一區塊；

初步模擬每一區塊設計；

同時進行擷取於每一區塊中所辨識之寄生元件的資訊，並將以此方式所獲得的資訊儲存於一所有區塊所共用的資料庫中；

以持續進行的方式對每一該區塊逆向註釋該寄生擷取資訊，以利於該

(2)

3

初步設計、模擬及後續步驟：  
成功模擬區塊設計後，使用該寄生擷取資訊製作每一區塊設計的佈局；  
使用該寄生擷取資訊製作一全晶片佈局；以及  
使用該等寄生元件的逆向註釋來模擬該全晶片佈局，以實現最佳化晶片設計。

3.如申請專利範圍第2項之方法，其中該寄生擷取資訊亦源自該全晶片佈局，並且儲存於該資料庫中之逆向註釋與所有擷取資訊被應用於該全晶片佈局步驟。

4.一種如申請專利範圍第2項之方法所製成的改良型超大型積體電路。

5.一種超大型積體電路(VLSI)之設計及佈局之方法，該超大型積體電路包括一具有寬度小於0.2微米且具有顯著影響信號時序之多個寄生元件的動態隨機存取記憶體(DRAM)，該方法包括下列步驟：  
初步設計該超大型積體電路各部份：  
藉由電腦模擬評估該設計；  
進行擷取該等寄生元件以作為初步設計與模擬步驟的一部份，並將該擷取資訊儲存於一該超大型積體電路所有部份共用的資料庫中；  
持續逆向註釋儲存於該資料庫中的資訊，以最佳化該初步設計、模擬及後續步驟，使該等寄生元件的影響降至最低限度；  
成功模擬之後，使用該超大型積體電路各部份的寄生擷取資訊製作佈局；以及  
使用該寄生擷取資訊製作並模擬該超大型積體電路的全晶片佈局，俾使該超大型積體電路運作達到最佳程度。

4

6.一種動態隨機存取記憶體(DRAM)之設計及佈局的方法，該動態隨機存取記憶體具有複數個區塊且具有顯著影響信號時序的多個寄生元件，該方法包括下列步驟：  
採用分頭並行的方式初步設計每一區塊；  
初步模擬每一區塊設計；  
進行擷取於每一區塊中所辨識之寄生元件的資訊，並將以此方式所獲得的資訊儲存於一所有區塊所共用的資料庫中；  
以持續進行的方式對每一該區塊逆向註釋該寄生擷取資訊，以最佳化該初步設計、模擬及後續步驟，使該等寄生元件的影響降至最低限度；  
成功模擬區塊設計後，使用該一寄生擷取資訊製作每一區塊設計的佈局；  
使用該寄生擷取資訊製作一全晶片佈局；以及  
使用該等寄生元件的逆向註釋來模擬該全晶片佈局，以實現最佳化晶片設計。

7.如申請專利範圍第6項之方法，其中該寄生擷取資訊亦源自含晶片佈局，並且儲存於該資料庫中之逆向註釋與所有擷取資訊被應用於該全晶片佈局步驟。

8.如申請專利範圍第6項之方法，其中該動態隨機存取記憶體的寬度小於0.2微米，且信號延遲主要源於導線延遲而非閘極延遲。

9.一種如申請專利範圍第6項之方法所製成的改良型動態隨機存取記憶體。

10.一種超大型積體電路(VLSI)之設計及佈局之方法，該超大型積體電路包括多個高密度動態隨機存取記憶

(3)

5

體，每個動態隨機存取記憶體均具有複數個區塊且具有主要源於導線延遲而非閻極延遲的信號延遲，該方法包括下列步驟：

採用分頭並行的方式初步設計每一區塊；

初步模擬每一區塊設計；

持續逐一區塊擷取寄生元件資訊，並將該擷取資訊儲存於一所有區塊所共用的資料庫中；

以持續進行的方式對每一該區塊逆向註釋該寄生擷取資訊，以利於該初步設計、模擬及後續步驟；

如果發現缺點，則在一區塊中重複該初步設計與模擬步驟；

成功模擬區塊設計後，使用該寄生擷取資訊製作每一區塊設計的佈局；

使用該寄生擷取資訊製作一全晶片佈局；以及

使用該等寄生元件的逆向註釋來模擬該全晶片佈局，使該等寄生元件對該超大型積體電路運作的影響降至最低限度。

6

圖式簡單說明：

圖1係一示意圖，顯示一先前技藝之方法，以設計，佈局，與電腦模擬一超大型積體電路(VLSI)，其具有複數個區塊；

圖2A係一示意圖，顯示圖1中放大之電路，說明佈局中之寄生電阻與電容；

圖2B係一示意圖，說明寄生電容之相對尺寸，其自圖2A電路中之一層交連至鄰近層；

圖3A係一示意圖，顯示圖2A電路，說明該電路一層中導線佈局之改變；

圖3B係一示意圖，說明寄生電容之相對尺寸，其自圖3A電路中之一層交連至鄰近層，此寄生電容較圖2B之寄生電容大；以及

圖4係一示意圖，顯示一方法，根據本發明，提供設計，佈局，與電腦模擬一超大型積體電路，其具有複數個區塊。

(4)

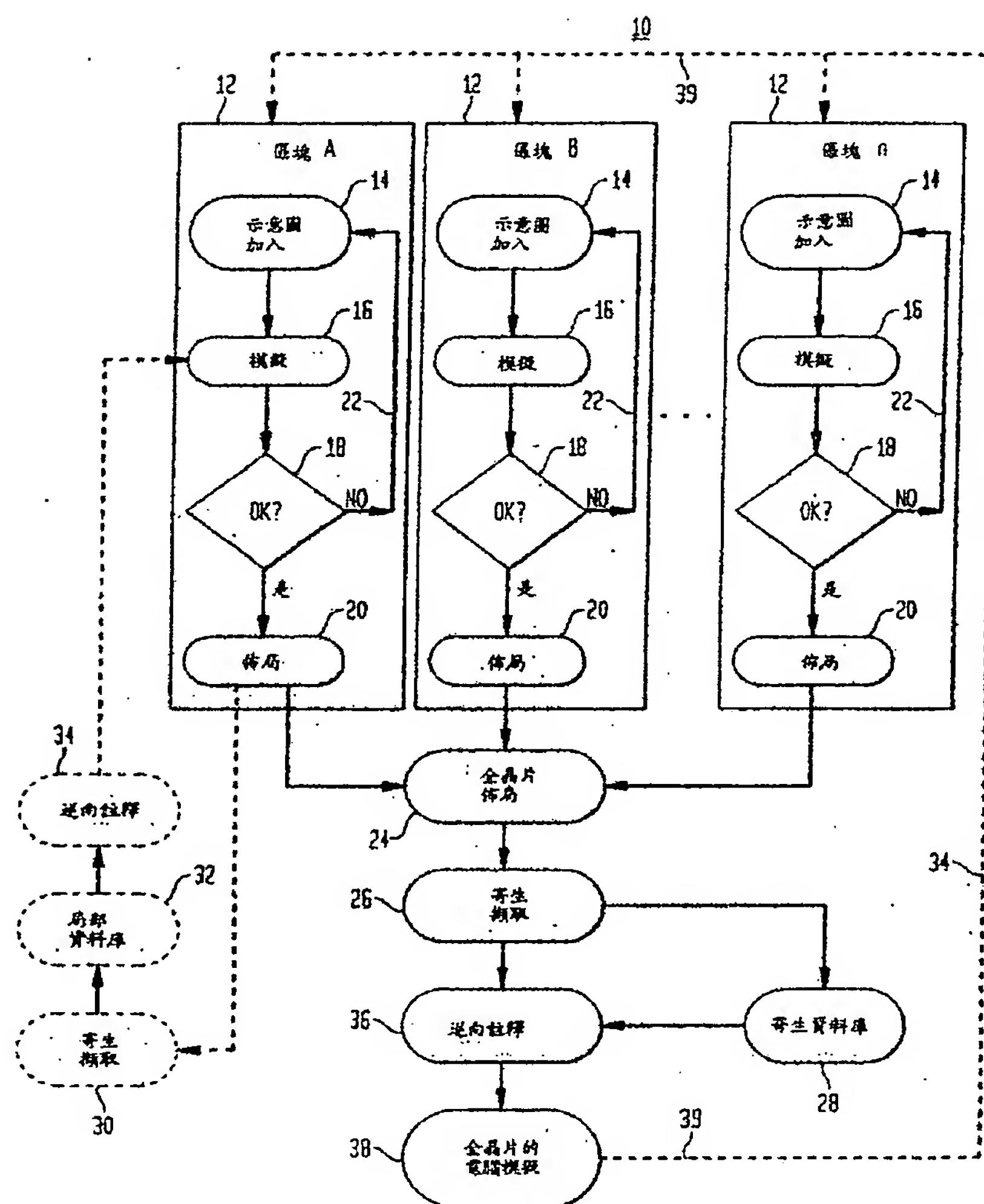


圖 1

(5)

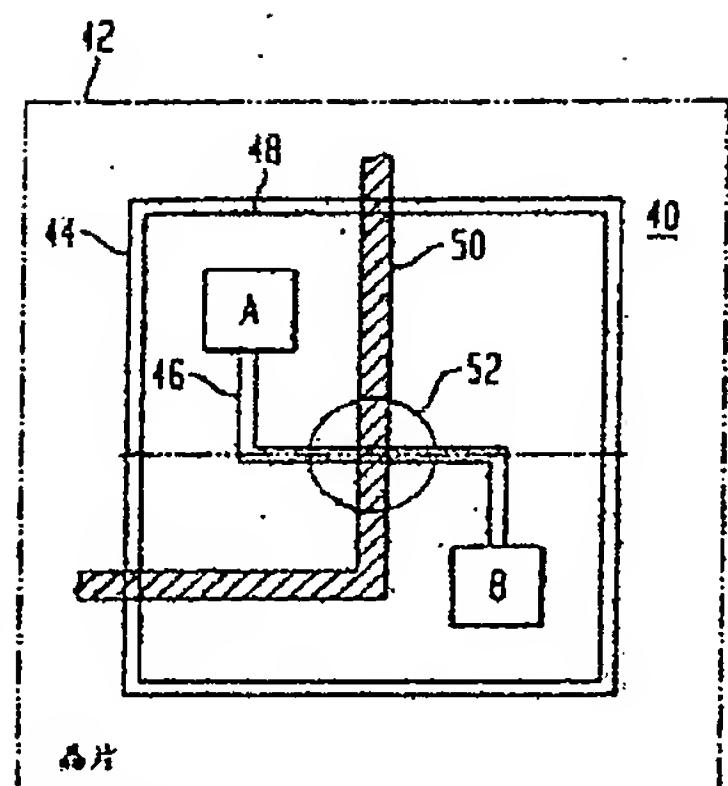


圖 2A

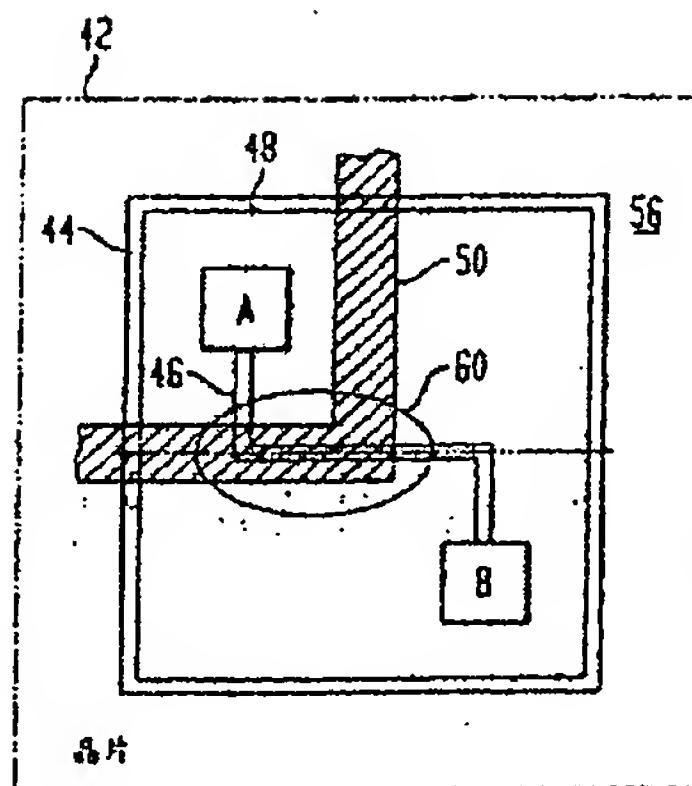


圖 2B

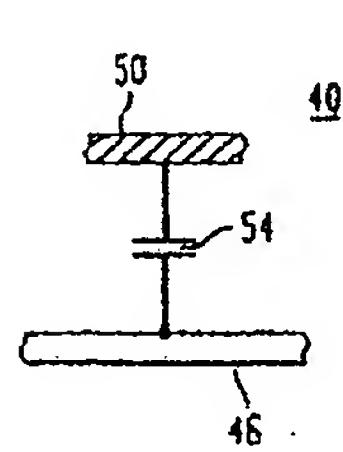


圖 3A

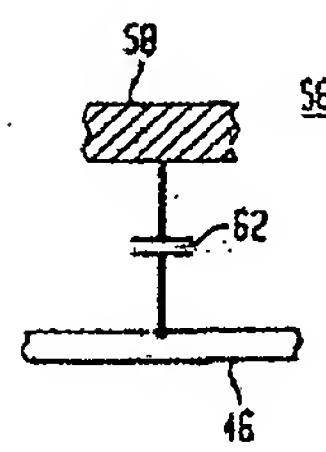


圖 3B

(6)

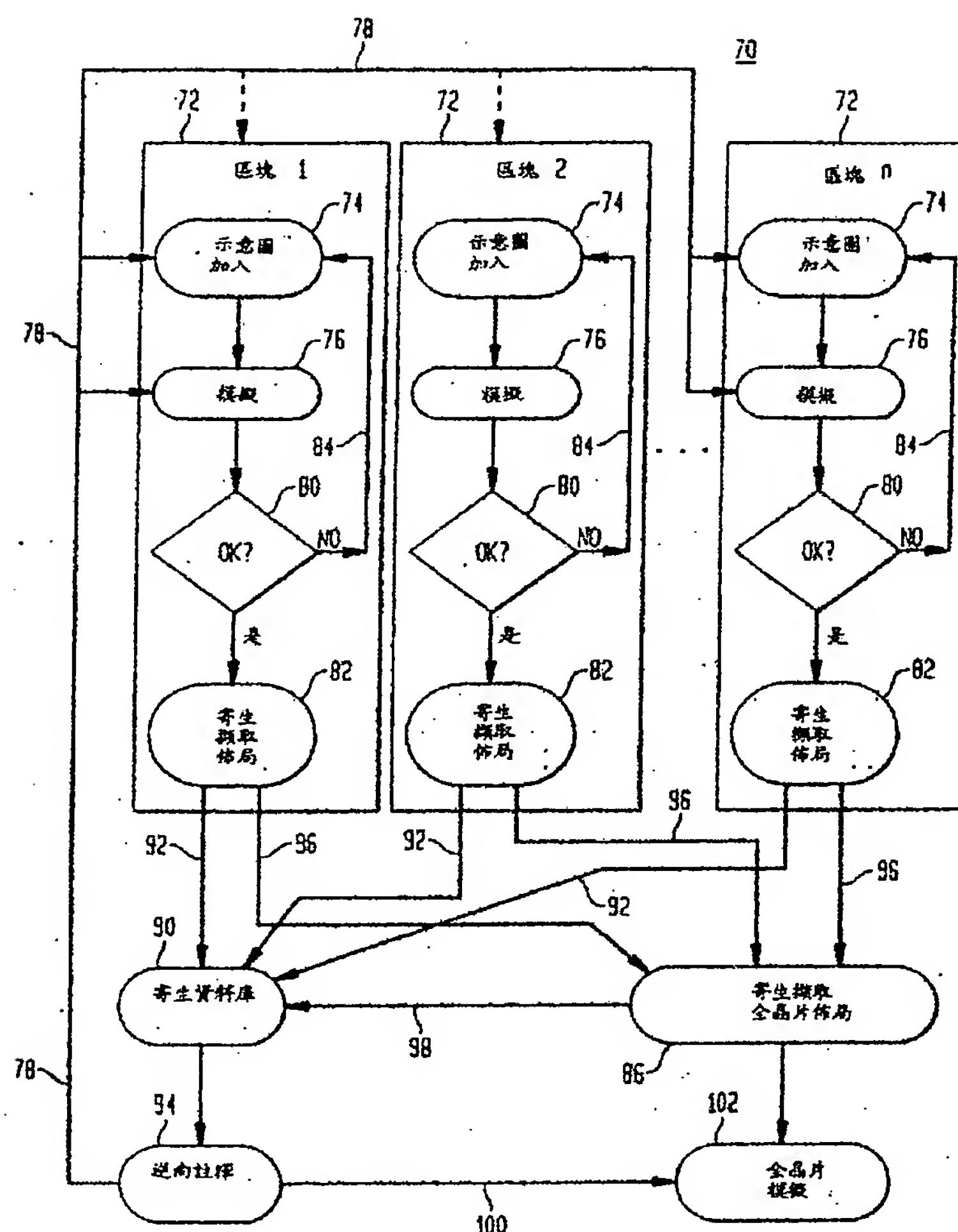


圖 4